

➤ DIALOG(R)File 347:JAPIO
(c) 1999 JPO & JAPIO. All rts. reserv.

03331773 **Image available**

FILM TRANSISTOR

PUB. NO.: 02-307273 [JP 2307273 A]

PUBLISHED: December 20, 1990 (19901220)

INVENTOR(s): ISHIGURO HIDETO

APPLICANT(s): SEIKO EPSON CORP [000236] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 01-129419 [JP 89129419]

FILED: May 23, 1989 (19890523)

INTL CLASS: [5] H01L-029/784

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS)

JOURNAL: Section: E, Section No. 1042, Vol. 15, No. 98, Pg. 96, March 08, 1991 (19910308)

ABSTRACT

PURPOSE: To avoid the increase of parasitic capacitance accompanying the thermal expansion and contraction of a glass board thereby enabling the use of a cheap glass substrate so as to obtain the cheap one of high performance by providing a semiconductor layer to become a channel region, and a gate insulating film, a gate electrode, and an insulating film, each specified, and a semiconductor layer to become source and drain regions, and wiring on the substrate.

CONSTITUTION: A semiconductor layer 102 to become a channel region, a gate insulating film 103 to cover the semiconductor layer 102, a gate electrode 104 being provided in contact with the gate insulating film 103, an insulating film being formed by chemical reaction of the gate electrode 104, an insulating film 105 being provided in contact with the gate electrode 104, a semiconductor layer 107 to become a source region and a drain region, and wiring 108 are provided on a specified substrate 101. For example, after formation of the channel region 102 on the insulating substrate 101, an insulating film consisting of SiO₂, etc., a metallic film consisting of Ta, and an insulating film consisting of SiO₂, etc., are formed, and those are patterned, and next an insulating film 106 consisting of an oxide film of Ta is formed at the surface of the gate electrode consisting of Ta by anodic oxidation, or thermal oxidation.

BEST AVAILABLE COPY

⑪ 公開特許公報 (A)

平2-307273

⑤Int. Cl.
H 01 L 29/784

識別記号

厅内整理番号

⑥公開 平成2年(1990)12月20日

9056-5F H 01 L 29/78

311 X

審査請求 未請求 請求項の数 1 (全5頁)

⑦発明の名称 薄膜トランジスタ

⑧特 頭 平1-129419

⑨出 頭 平1(1989)5月23日

⑩発明者 石 黒 英 人 長野県諏訪市大和3丁目3番5号 セイコーニップソン株式会社内

⑪出頭人 セイコーニップソン株式 東京都新宿区西新宿2丁目4番1号
会社

⑫代理人 弁理士 鈴木 喜三郎 外1名

BEST AVAILABLE COPY

明 説 書

性基板上に形成された薄膜トランジスタ及びその製造方法に関する。

〔従来の技術〕

従来の薄膜トランジスタは、例えばJAPAN DISPLAY'86P196~P199に示されるような構造であった。この構造を一般化して、その概要を第2図に示す。 (a) 図は上視図であり、(b) 図はAA'における断面図である。ガラス等の绝缘基板201上に、ドナーあるいは、アクセプタとなる不純物を添加した多結晶シリコンからなるソース領域202及びドレイン領域203が形成されている。これに接して、两者を結ぶように多結晶シリコン薄膜からなるチャンネル領域204が形成されている。これらを被覆するようにゲート绝缘膜205が設けられ、さらにこれに接してゲート電極206が形成されている。ソース・ドレイン領域に接して配線207が形成され、薄膜トランジスタが構成されていた。

1. 発明の名称

薄膜トランジスタ

2. 特許請求の範囲

(1) 所定の基板上に、チャンネル領域になる半導体層と、該チャンネル領域になる該半導体層を覆するゲート绝缘膜と、該ゲート绝缘膜に接して設けられたゲート電極と、該ゲート電極の化成反応により形成された地溝膜と、該ゲート電極に接して設けられた地溝膜と、ソース領域及びドレイン領域になる半導体層と、配線を具備することを特徴とする薄膜トランジスタ。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明はフラット・ディスプレイ、SOI素子 (Semiconductor on insulator) 等に用いる地溝

〔発明が解決しようとする課題〕

しかし、従来の薄膜トランジスタ及びその製造方法は以下のような問題点を有していた。

第2図(a)に薄膜トランジスタの上観図を示し、第3図(a)にその等価回路を示す。

第3図(a)に示した寄生容量303、304は、第2図(a)に示したゲート電極206に対してソース領域202、ドレイン領域203がゲート絶縁膜205を介して接することにより生じ、第3図(b)に示したゲート電極に対するソース領域、及びドレイン領域の重なり部301、302の面積に比例する。

この寄生容量は薄膜トランジスタの入力容量を増大させ、本来好ましくないものであるが、この重なり部は薄膜トランジスタのチャンネル部の半導体層を多結晶シリコン薄膜とし、安価なガラス基板を絶縁基板とするプロセスでは、ガラス基板の熱衝撃に対する余裕として非常に大きな面積が必要となる。

ガラス基板はその軟化点以下の温度でも大きな熱衝撃を示すことが知られている。ガラス基板の

【課題を解決するための手段】

本発明の薄膜トランジスタは、所定の基板上に、チャンネル領域になる半導体層と、該チャンネル領域になる該半導体層を反復するゲート絶縁膜と、該ゲート絶縁膜に接して設けられたゲート電極と、該ゲート電極の化学反応により形成された絶縁膜と、該ゲート電極に接して設けられた絶縁膜と、ソース領域及びドレイン領域になる半導体層と、配線を具備することを特徴とする。

【実施例】

以下、実施例に基づいて本発明を詳しく説明する。第1図に本発明による薄膜トランジスタの1例を示す。(a)は上観図で、(b)はAA'における断面図である。チャンネル領域になる半導体層102を所定の形状に加工した後は、ガラス基板の熱衝撃を無視できる程度の低温で全ての工程が行われ、ゲート電極とソース・ドレイン領域の重なり部はゲート絶縁膜より厚い絶縁膜で覆てられていることが特徴である。

熱衝撃の1例として、第4図に#7059(エニシング社製)の衝撃を示した。横軸は熱処理温度、縦軸は100°C当りの基板の衝撃を示す。熱処理温度の上昇にともない、急速に基板が破壊しているのがわかる。この基板の衝撃量に対して、ゲート電極に対するソース領域、及びドレイン領域の重なり部の面積はおよそその自乗に比例して増加することになる。

このゲート電極に対するソース領域、及びドレイン領域の重なり部に起因した寄生容量は薄膜トランジスタを液晶ディスプレイへ応用した場合、液晶ディスプレイの大型化を妨げる要因のひとつであった。

本発明は、このような問題点を解決するものであり、その目的とするところはガラス基板の熱衝撃に伴う寄生容量の増加を回避することにより安価なガラス基板の使用を可能とし、安価で高性能な薄膜トランジスタ及びその製造方法を提供することにある。

以下、詳細は工程を追いながら説明していく。第5図(a)に示したように先ず、絶縁性基板501上にチャンネル領域になる半導体層を形成する。この時の形成温度は絶縁性基板501の軟化点以下であればよく、その熱衝撃は考慮する必要がない。この半導体層を所定の形状に加工することによりチャンネル領域502が形成される。次に第5図(b)に示したようにSiO₂等からなる絶縁膜を全面に形成し、さらにTi等からなる金属薄膜を複数層する。さらにSiO₂等からなる絶縁膜を全面に形成する。次に第5図(c)に示したようにSiO₂等からなる絶縁膜を所定の形状に加工して絶縁膜505を得る。次に絶縁膜505をニッティングマスクとしてTi等からなる金属薄膜を加工しゲート電極504を得る。このゲート電極504をニッティングマスクとしてSiO₂等からなる絶縁膜を加工し、ゲート絶縁膜503を得る。次に第5図(d)に示したようにこのTi等からなるゲート電極504の表面に陽極酸化法、又は熱酸化法を用いてTaの酸化膜からなる絶縁膜506

を形成する。次に第5図(e)に示したようにドーパントとなる不純物を含む半導体薄膜を形成し、さらに配線材となる金属薄膜を複層する。最後に第5図(f)に示したようにこの複層膜を所定の形状に加工し、ソース・ドレイン領域S1/S2、配線L1/L2とすることにより、本発明の薄膜トランジスタを得る。

従来の方法では、ゲート電極に対するソース領域、及びドレイン領域の直なり部はゲート絶縁膜により隔てられておいたの非常に大きな寄生容量となっていた。

また、ソース・ドレイン領域が加工された後に、チャンネル部となる半導体薄膜を形成するために、その形成温度はガラスの伸縮が許容できる程度の低温に限定され、高温で形成するほどゲート電極に対するソース領域、及びドレイン領域の直なり部を大きくせざるを得なかった。

本発明によれば、チャンネル部となる半導体薄膜を形成温度はガラス基板の伸縮により限定されることはない。このため従来の方法より高温で半

ない。

以上の実施例ではゲート電極となる金属材料としてTaを用いたが、これに限定されるものではなく、低温での化学反応により絶縁性化合物を形成することが可能な金属材料であれば使用可能である。又、絶縁性化合物の形成方法として陽極酸化法、熱酸化法を用いたが、これに限定されるものではなく、O₂・プラズマ酸化等低温反応を用いた方法であれば使用できる。又、絶縁性化合物として酸化物について示したが、これに限定されるものではなく、例えば窒化物等の絶縁性化合物を用いることも可能である。

【発明の効果】

以上述べたように本発明によれば、結晶性に優れた半導体薄膜をチャンネル部半導体薄膜として使用することにより、薄膜トランジスタの高性能化が可能となる。

又、結晶性に優れた半導体薄膜を高温で形成するにも関わらず、ゲート電極に対するソース領域、

導体薄膜の形成を行うことが可能となるため、より結晶性に優れた半導体薄膜をチャンネル部半導体薄膜として使用することが可能となる。

地絶膜はプラズマCVD法、高圧CVD法等により、450℃以下の低温で形成可能である。又、この薄膜の形成はスパッタ法等によって、やはり低温で行うことが可能である。また、地絶膜L1/L2を形成することは、陽極酸化法によれば室温で行うことが可能であり、熱酸化法によれば400℃程度の低温から可能である。ソース領域、及びドレイン領域となる半導体薄膜はプラズマCVD法を用いて低温で形成することが可能である。又、配線材等はスパッタ法で低温性膜が可能である。

低温で形成されたソース領域、及びドレイン領域となる半導体薄膜は従来技術で用いられている600℃以上の温度を必要とする減圧CVD法で形成されたソース領域、及びドレイン領域となる半導体薄膜よりも高抵抗であるが、本発明のように配線と複層されて用いられる場合は問題となる。

及びドレイン領域の直なり部はゲート絶縁膜とは別に形成された厚い絶縁膜により隔てられておいたの寄生容量は非常に小さい。

従来のようなガラス基板の熱伸縮に伴う寄生容量の増加の問題は起こらない。従ってフォトリソグラフィの位置合わせ精度が許す最小の寄生容量が達成でき、薄膜トランジスタの高性能化が可能となる。

又、本発明の薄膜トランジスタを液晶ディスプレイのアクティブラチタリクス基板の素子として用いた場合、入力空虚が小さいため、高速応答が可能となり、高精細で高画質な表示品質が得られる。又、この寄生容量は画素信号の電圧範囲を起こす原因となり、画質の劣化を引き起こすが、本発明によりこの寄生容量を小さくすることが可能となるために、フリッカーが小さく、コントラスト比が大きくなり、高画質化が可能となる。

又、液晶ディスプレイが大型化しても、従来に比べ寄生容量の増加が小さいため、従来より大型化が可能となる。

又、基板の熱伸縮に対する許容度が大きくなるので従来より安価なガラス基板の使用が可能となり、安価なディスプレイを提供できる。

又、バターン寸法にたいする許容度が大きくなるため、従来よりアライメント精度が劣るが、又はなフォトリソグラフィー装置の使用が可能となり、製造コストを小さくできる。又、従来のようなきびしい工程管理が不用となり、歩留りが大幅に向とする。

又、ロジック回路に応用した場合、高速応答が可能となるために優れた回路を提供できる。

4. 図面の簡単な説明

第1図(a)、(b)は本発明の薄膜トランジスタの構造を示した図で、第1図(a)は上視図で、第1図(b)は断面図である。

第2図(a)、(b)は従来の薄膜トランジスタの構造を示した図で、第2図(a)は上視図で、

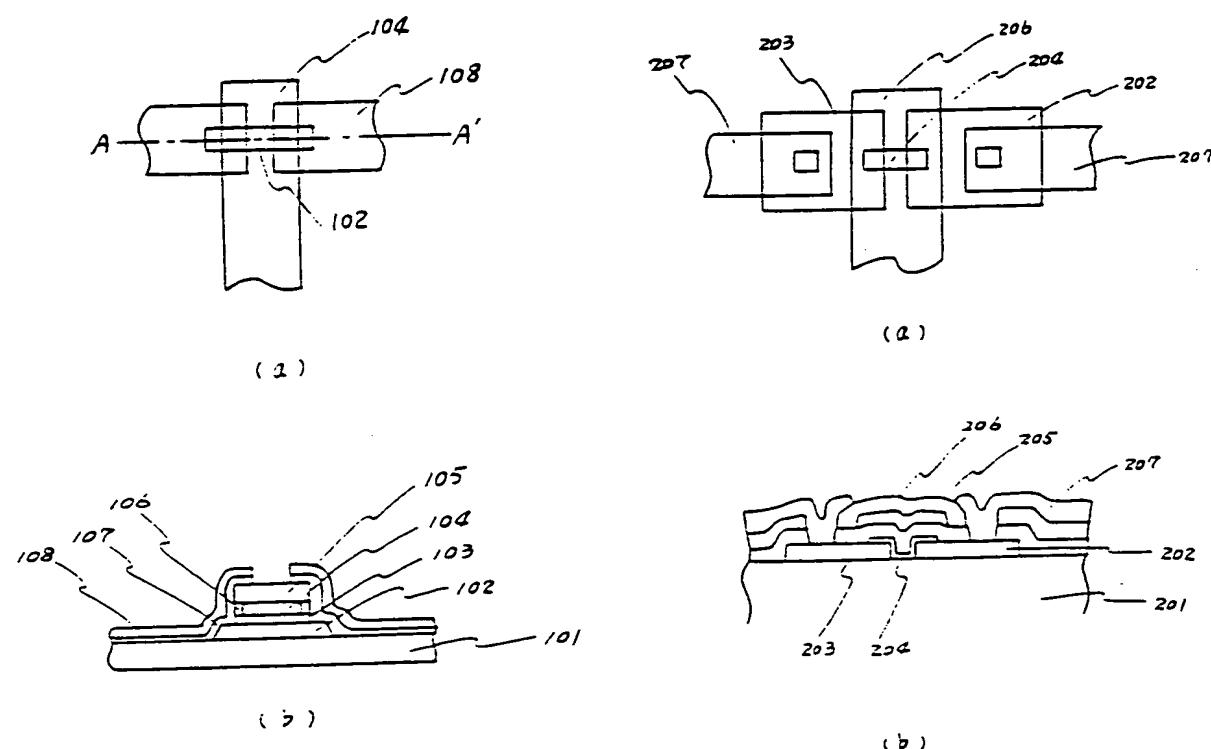
第2図(b)は断面図である。

第3図(a)は従来の薄膜トランジスタの等価回路を示した図で、第3図(b)は従来の薄膜トランジスタのゲート電極に対するソース領域、及びドレイン領域の重なり部を示した図である。

第4図は基板の構造を示すグラフである。

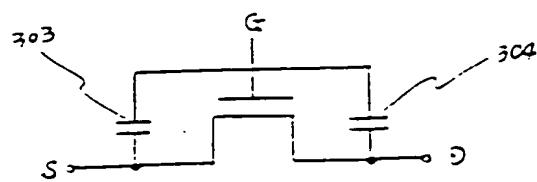
第5図(a)～(d)は本発明の薄膜トランジスタの製造工程の一部を示した図である。

101、201、501・・・絶縁性基板
102、204、502・・・チャンネル領域
103、205、503・・・ゲート絶縁膜
104、206、504・・・ゲート電極
105、505・・・・・・・絶縁膜
106、506・・・・・・・T_{az}O_x
107、202、203、507
・・・・ソース、ドレイン領域
108、207、508・・・配線

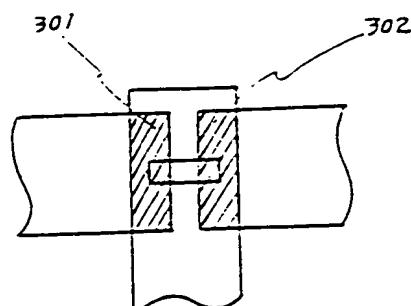


第2図

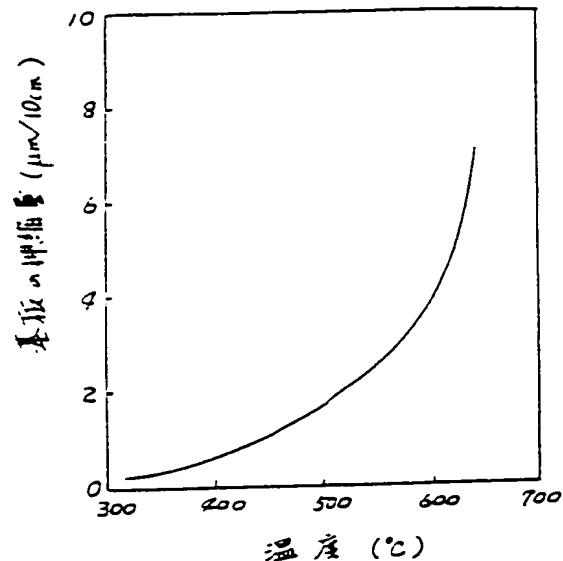
第1図



(a)



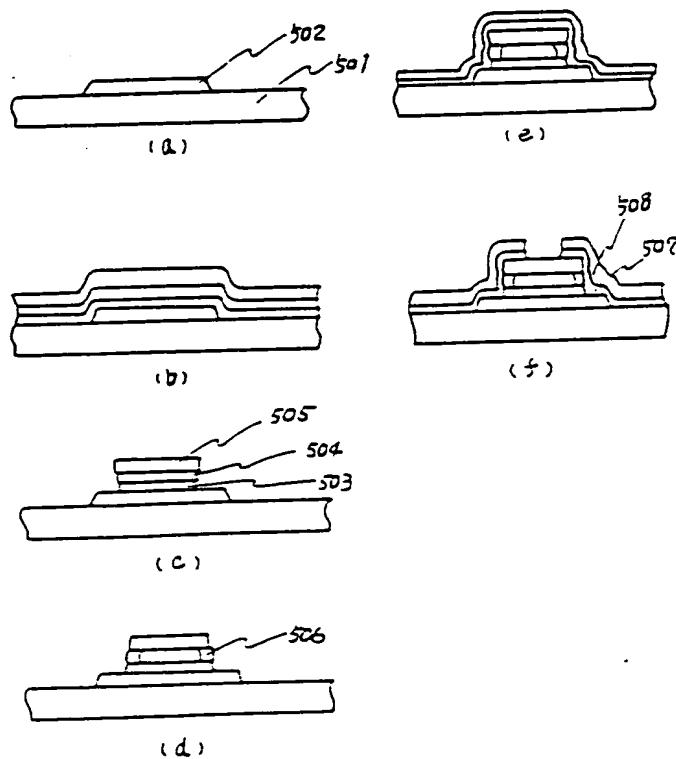
(b)



第4図

第3図

BEST AVAILABLE COPY



第5図